**Этапы** **синтеза** **цифрового** **устройства**

При синтезе комбинационного цифрового устройства на ло-гических элементах можно рекомендовать следующий порядок:

1) формируется словесное условие задачи (определяется, что именно должно делать разрабатываемое устройство, уточняется алгоритм его работы);

2) составляется таблица истинности для логической функ-ции, реализуемой устройством, и записывается функция в СДНФ;

3) проводится минимизация логической функции с помощью карты Карно, диаграммы Венна или законов булевой алгебры;

4) функция преобразуется в вид, удобный для реализации на заданной элементной базе;

5) разрабатывается принципиальная схема цифрового уст-ройства на логических элементах выбранной серии интегральных микросхем. Микросхемы логических элементов будут рассмот-рены в следующей главе.

Результат синтеза не является однозначным, поэтому вари-антов построения цифрового устройства может быть несколько. Следует стремиться к более простому решению поставленной за-дачи.

В следующем параграфе рассмотрены примеры синтеза комбинационных цифровых устройств на логических элементах ТТЛ (серия К155) и ТТЛШ (серия К555). При проектировании таких устройств надо четко представлять, каким образом форми-руются входные сигналы и как используются выходные сигналы.

**3.8** **Примеры** **синтеза** **цифровых** **устройств**

***Пример*** ***3.5.*** Реализовать устройство с четырьмя входами, логическая функция которого задана таблицей истинности (рис. 3.8, *в*).

39

*С*

*A*

|  |  |
| --- | --- |
|  |  |
| 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 |

*D*

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | 4 | 12 | 8 |
| 1 | 5 | 13 | 9 |
| 3 | 7 | 15 | 11 |
| 2 | 6 | 14 | 10 |

*B* *а* *б*

*A*

|  |  |
| --- | --- |
| && | 1 |
| && |

*B* *F* *C*

*D*

*г*

Рис. 3.8 — Реализация устройства

на микросхеме К555ЛР3 *в*

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *n* | *A* | *B* | *C* | *D* | *F* |
| 0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 | 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1 | 0 0 0 0 1 1 1 1 0 0 0 0 1 1 1 1 | 0 0 1 1 0 0 1 1 0 0 1 1 0 0 1 1 | 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 | 1 1 1 1 1 0 0 0 1 1 0 0 0 0 0 0 |

*Решение.* Представим логическую функцию, реализуемую устройством, в виде соответствующей ей карты Карно (рис. 3.8, *а*). На рис. 3.8, *б* представлена таблица соответствия ее клеток набо-рам таблицы истинности.

Организовав блоки по нулям (блоки *АВ* и *BD* выделены на карте Карно пунктирной линией), запишем минимизированное выражение для логической функции по карте Карно:

*F* *AB* *BC* *AC* *BD*,

которое легко реализовать на микросхеме К555ЛР3 (рис. 3.8, *г*). Если блоки организовать по единицам, то их число умень-

шается до трех, но требуются дополнительные инверторы: *F* *A*⋅*B* *B*⋅*C* *A*⋅*C*⋅*D*.

***Пример*** ***3.6.*** На микросхемах серии К155 спроектировать утроитель частоты напряжения трехфазной сети. Напряжение каждой фазы с помощью нуль-компараторов приведено к уровню

40

ТТЛ (входной сигнал равен логической 1, когда синусоидальное напряжение фазы положительно).

*Решение.* Алгоритм работы устройства отображают времен-ные диаграммы входных (*А,* *В,* *С*) и выходного (*F*) сигналов для одного периода *T* сетевого напряжения (рис. 3.9, *а*). Заполним кар-ту Карно для единичных и нулевых тактов сигнала *F* (рис. 3.9, *б*). На двух наборах функция не определена (в трехфазной сети на-пряжения трех фаз не могут быть одновременно положительными или отрицательными). Организуя блоки по нулям, получаем

*F* *AB**BC* *AC* или *F* *AB**BC* *AC* .

*A* *А* *A* *B*

*C* *C* *B* *B*

|  |  |  |  |
| --- | --- | --- | --- |
| X | 1 | 0 | 1 |
| 1 | 0 | X | 0 |

*F* *а* *б* *C*

*Т*

Рис. 3.9

|  |  |  |
| --- | --- | --- |
|  | &&&& | 1 |
|  |  |
|  |

*в*

Наиболее просто эта функция реализуется на микросхе-ме К155ЛР3 (рис. 3.9, *в*). Хотя бы на один из входов неисполь-зуемого элемента И надо подать логический 0, так как неподклю-ченный вход ТТЛ ведет себя как вход с уровнем логической 1.

***Пример*** ***3.7.*** В трехэтажном доме лестничная клетка освеща-ется одной общей лампочкой. На каждом этаже есть выключате-ли: *S*1, *S*2, *S*3. Спроектировать устройство включения и выклю-чения освещения любым из выключателей, независимо от поло-жения остальных.

*Решение.* Пусть *А*, *В* и *С* — сигналы на входе логической части устройства (замкнутому контакту выключателя соответст-вует уровень логического 0, а разомкнутому — уровень логиче-ской 1), *F* — сигнал на выходе логической части устройства (*F* = 0, когда лампа горит). Заполним таблицу истинности, связы-вающую эти переменные (рис. 3.10, *а*). Запишем выходную функцию в СДНФ и попытаемся ее минимизировать, проводя простейшие преобразования полученной функции:

41

*F* *ABC* *ABC* *ABC* *ABC* *A*(*BC* *BC*)*A*(*BC* *BC*) или *F* *A*(*B*⊕*C*)*A*(*B*⊕*C*) *A*⊕*B*⊕*C*.

*A* *B* *C* *F*

|  |  |
| --- | --- |
|  | =1 |
|  |

0 0 0 0 *S*1

0 0 1 1

0 1 0 1 *S*2 0 1 1 0

1 0 0 1 *S*3 1 0 1 0

1 1 0 0 1 1 1 1

*A*

*B*

*C*

50

*DD*1.1 *VD*3

*DD*1.2

=1 *VD*1

*VD*2 *+*5 В 100

*а* *б* ~ 220 В Рис. 3.10

Логическая часть устройства (рис. 3.10, *б*) реализована на микросхеме *DD*1 (К155ЛП5). В корпусе этой микросхемы разме-щено четыре элемента «Исключающее ИЛИ». Последовательно с осветительной лампой включен симистор *VD*3 (ТС 122-25-4 или КУ208Г), который управляется оптронными парами *VD*1, *VD*2 (АОУ103А1). Ток через светодиоды пар выбран равным 10 мА (максимально допустимый ток в выходной цепи логического элемента в состоянии логического нуля — 16 мА).